

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 14 日
Application Date

申請案號：092105710
Application No.

申請人：群創光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 24 日
Issue Date

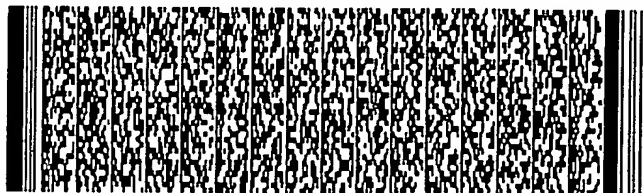
發文字號：09220746100
Serial No.

申請日期：92.3.14	IPC分類
申請案號：92105710	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	薄膜電晶體及其製造方法及顯示裝置
	英文	THIN FILM TRANSISTOR AND METHOD OF MANUFACTURING THE SAME AND DISPLAY APPARATUS USING THE TRANSISTOR
二、 發明人 (共3人)	姓名 (中文)	1. 賴建廷
	姓名 (英文)	1. Lai, Chien-Ting
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (中文)	1. 新竹科學工業園區苗栗縣竹南鎮科東三路16號2F
	住居所 (英文)	1. 2F, No. 16, Ke-Tung Rd. 3, Science-Based Industrial Park Chu-Nan 350, Miao-Li County, Taiwan, R. O. C
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 群創光電股份有限公司
	名稱或 姓名 (英文)	1. InnoLux Display Corp.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 新竹科學工業園區苗栗縣竹南鎮科東三路16號2F (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 2F, No. 16, Ke-Tung Rd. 3, Science-Based Industrial Park Chu-Nan 350, Miao-Li County, Taiwan, R. O. C
	代表人 (中文)	1. 莊宏仁
	代表人 (英文)	1. Chuang, Hong-Zen



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	2. 彭家鵬
	姓 名 (英文)	2. Pang, Jia-Pang
	國 籍 (中英文)	2. 中華民國 ROC
	住居所 (中 文)	2. 新竹科學工業園區苗栗縣竹南鎮科東三路16號2F
	住居所 (英 文)	2. 2F, No. 16, Ke-Tung Rd. 3, Science-Based Industrial Park Chu-Nan 350, Miao-Li County, Taiwan, R. O. C
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中 文)	3. 陳永昌
	姓 名 (英 文)	3. Chen, Yung Chang
	國 籍 (中 英 文)	3. 中華民國 ROC
	住居所 (中 文)	3. 新竹科學工業園區苗栗縣竹南鎮科東三路16號2F
	住居所 (英 文)	3. 2F, No. 16, Ke-Tung Rd. 3, Science-Based Industrial Park Chu-Nan 350, Miao-Li County, Taiwan, R. O. C
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：薄膜電晶體及其製造方法及顯示裝置)

一種薄膜電晶體，包括一基底、一形成於該基底中之閘極、一形成於該基底及閘極上之閘極絕緣層、一形成於該閘極絕緣層上之通道層、分立形成於該通道層二側之源極歐姆層及汲極歐姆層、形成於該源極歐姆層及該基底上之源電極、形成於該汲極歐姆層及該基底上之汲電極。

【本案指定代表圖及說明】

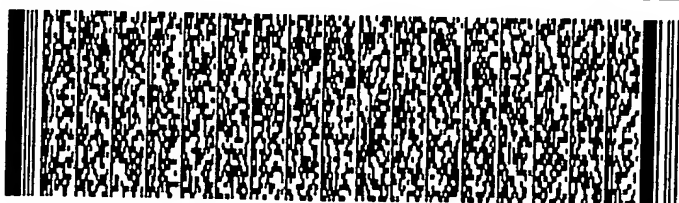
(一)、本案代表圖為：第十二圖

(二)、本案代表圖之元件代表符號簡單說明：

基底	1	閘極	2
閘極絕緣層	4	通道層	5
源極歐姆層	6a	汲極歐姆層	6b
源電極	7a	汲電極	7b

六、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR AND METHOD OF MANUFACTURING THE SAME AND DISPLAY APPARATUS USING THE TRANSISTOR)

A thin film transistor comprises a substrate, a gate electrode formed in the substrate, a gate insulating layer formed on the gate electrode and the substrate, a channel layer formed on the gate insulating layer, a pair of ohm contact layers, i.e., a gate ohm contact layer and a source ohm contact layer, formed on the channel layer, a source electrode formed on the source ohm contact



四、中文發明摘要 (發明名稱：薄膜電晶體及其製造方法及顯示裝置)

六、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR AND METHOD OF MANUFACTURING THE SAME AND DISPLAY APPARATUS USING THE TRANSISTOR)

layer and a gate electrode formed on the gate ohm contact layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

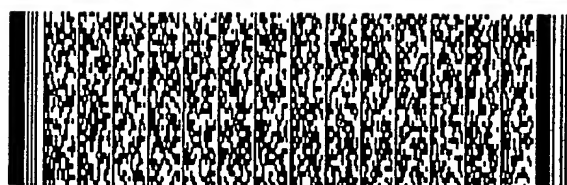
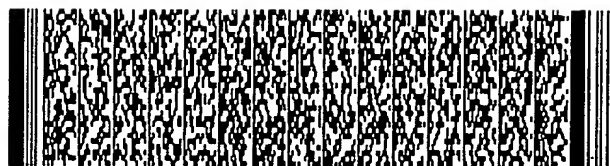
本發明係關於一種薄膜電晶體及顯示裝置，尤其指一種用於顯示裝置中之薄膜電晶體。

【先前技術】

請參考第一圖，1994年9月20日公告之美國專利第5,349,205號揭示之一種用於液晶顯示裝置之薄膜電晶體。該薄膜電晶體包括一基底10、一形成於基底10上之閘極20、一閘極保護層30、一形成於基底10及閘極保護層30上之閘極絕緣層40、一形成於閘極絕緣層40上之非晶矽層50、形成於非晶矽層50二側上之摻磷非晶矽層60a及60b、形成於摻磷非晶矽層60a及閘極絕緣層40上之源電極70a，以及形成於摻磷非晶矽層60b及閘極絕緣層40上之汲電極70b。其中閘極20之截面為矩形，但閘極絕緣層40之二側、非晶矽層50之二側、摻磷非晶矽層60a之一側、摻磷非晶矽層60b之一側、源電極70a之一側以及汲電極70b之一側，均對應有斜面(未標示)。

此斜面之出現，係製作閘極絕緣層40、非晶矽層50、摻磷非晶矽層60a及60b、源電極70a以及汲電極70b所需沈積或噴、鍍工藝產生之必然結果，且為達到良好之質量，此斜面應盡可能平緩，如太陡峭，則各層於斜面處之披覆性及其他特性易為不佳。

惟，為降低掃描訊號之RC延遲(電阻與電容構成之迴路所產生之對訊號之延遲效果)，需降低閘極20之電阻。可採用低阻抗之金屬材料如鋁、鉻、鈹及其合金等以降低



五、發明說明 (2)

電阻。亦可增加閘極20之厚度與寬度以增大其截面積，由於增大寬度會降低開口率，從而降低顯示器件之輸出光效率，因此其使用受到限制。而增加閘極之厚度，亦會導致閘極絕緣層40之二側、非晶矽層50之二側、摻磷非晶矽層60a之一側、摻磷非晶矽層60b之一側、源電極70a之一側以及汲電極70b之一側之斜面過於陡峭，而引發上述之各層製作易產生之披覆性不良之問題，

有鑑於此，提供一種改進以上缺點之薄膜電晶體實為必要。

【發明內容】

本發明解決之技術問題在於有效降低薄膜電晶體之掃描訊號之RC延遲。

本發明解決之另一技術問題在於實現薄膜電晶體之製作之易為及質量之可靠。

本發明解決之另一技術問題在於提供一種顯示裝置，其中之薄膜電晶體之掃描訊號之RC延遲較小。

本發明解決之另一技術問題在於提供一種薄膜電晶體之製造方法，其製作更為容易，且質量更為可靠。

本發明解決技術問題之技術方案為：提供一種薄膜電晶體，其包括一基底、一形成於基底中之閘極、一形成於基底及閘極上之閘極絕緣層、一形成於閘極絕緣層上之通道層、分立形成於通道層之二側上之源極歐姆層及汲極歐姆層、形成於源極歐姆層及基底上之源電極、形成於汲極歐姆層及基底上之汲電極。

五、發明說明 (3)

本發明解決技術問題之技術方案為：提供一種顯示裝置，其中薄膜電晶體包括一基底、一形成於基底中之閘極、一形成於基底及閘極上之閘極絕緣層、一形成於閘極絕緣層上之通道層、分立形成於通道層之二側上之源極歐姆層及汲極歐姆層、形成於源極歐姆層及基底上之源電極、形成於汲極歐姆層及基底上之汲電極。

本發明解決技術問題之技術方案為：提供一種薄膜電晶體之製造方法，其包括於基底中形成閘極、於基底及閘極上形成閘極絕緣層、於閘極絕緣層上形成通道層、於通道層二側上分立形成源極歐姆層及汲極歐姆層、於源極歐姆層及基底上形成源電極、於汲極歐姆層及基底上形成汲電極。

與先前技術相比，本發明之薄膜電晶體之優點在於其閘極係形成於基底中，因此易於增加其厚度而降低阻抗；並可避免閘極絕緣層、通道層、源極歐姆層、汲極歐姆層、源電極以及汲電極於製作時易產生之不良。

與先前技術相比，本發明之顯示裝置之優點在於其薄膜電晶體之掃描訊號之RC延遲更低，製作更為容易，且質量更可靠，因此其顯示質量更高，而製造成本更低。

與先前技術相比，本發明之製造方法之優點在於其製作更為容易，且質量更為可靠。

【實施方式】

請參考第二圖至第七圖，為本發明薄膜電晶體之閘極之製作過程。參考第二圖，先在基底1上塗上光阻劑，然



五、發明說明 (4)

後送至烤箱烘乾，因此於基底1上形成一均勻光阻薄膜8；參考第三圖，使用有適宜圖案之光罩用投影方式對光阻薄膜8曝光，形成所需之閘極圖形；參考第四圖，用蝕刻液或乾蝕刻等方式在基底1上蝕刻出合適深度之溝槽；參考第五圖，用溶劑溶解或氧化或直接剝離等方式去除剩餘之光阻薄膜8；參考第六圖，在基底1上沈積一層金屬層3，使基底1上蝕刻出之溝槽可被填滿；參考第七圖，用拋光等方式去除不需要之金屬，並實現閘極2與基底1之平坦化。此七步驟為一次光罩製程，用以形成位於基底1中之閘極2。

上述過程，並非為唯一可實現如第七圖所示之閘極之手段，可作之改變包括省略第五圖所示之清除光阻薄膜8之步驟，而直接在基底1及光阻薄膜8上沈積一層金屬層3，再剝離光阻薄膜8而留下閘極2；以及保留第五圖所示之清除光阻薄膜8之步驟及第六圖所示之沈積一層金屬層3之步驟，然後於金屬層3上形成均勻光阻薄膜8、使用光罩對光阻薄膜8曝光形成閘極圖形、蝕刻去除溝槽周圍之金屬層、剝離光阻薄膜8以形成閘極2。

請參考第八圖至第十二圖，為本發明薄膜電晶體之後段之製作過程。請參考第八圖，用化學氣相沈積方法，反應氣體為矽烷與氬氣，形成氮化矽構成之閘極絕緣層4；再用化學氣相沈積方法，反應氣體為四氯化矽與氬氣，在閘極絕緣層4上形成非晶矽層9；再用摻雜工藝，在非晶矽層9形成摻磷非晶矽層6；參考第九圖，應用光罩製程將非



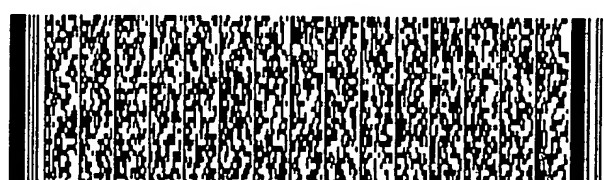
五、發明說明 (5)

晶矽層9及摻磷非晶矽層6之二側區域蝕刻至露出閘極絕緣層4；參考第十圖，在摻磷非晶矽層6及閘極絕緣層4上沈積SD(Source & Drain)金屬層(形成源電極以及汲電極之金屬層)7；參考第十一圖，應用光罩製程將SD金屬層7之中央區域蝕刻，直至露出摻磷非晶矽層6，以形成源電極7a以及汲電極7b；參考第十二圖，使用第十一圖步驟形成之光阻圖形，對摻磷非晶矽層6之中央區域進行乾蝕刻至去除此中央區域，以形成源極歐姆層6a及汲極歐姆層6b及通道層5。

其中基底1可採用玻璃或二氧化矽製造，閘極材料可使用銅、鋁、鈦、鉬、鉻、鉍、鈹或其合金，閘極絕緣層4可採用氮化矽或二氧化矽製造，通道層5可使用非晶矽或多晶矽材料，歐姆層6a及6b則可使用摻磷非晶矽或摻磷多晶矽。後段之製作亦可採用其他習知技術完成。

再參考第十二圖，由於閘極2形成於基底1中，其厚度可由對基底1蝕刻之深淺不同而改變，因此可以輕易增加厚度而降低閘極2之阻抗，因而有效降低掃描訊號之RC延遲，同時不產生其他不利結果；其表面可以與基底1作平坦化處理而相平，亦可在採用其他製作方法時與基底1近似相平，即使略有高出基底1之表面，亦不會形成如第一圖所示之閘極2位於基底1上時，所造成之閘極絕緣層4、通道層5、摻磷非晶矽層6a及6b、源電極7a以及汲電極7b於製作時易產生之披覆性不良。

而閘極2之截面形狀，亦非只能唯一採用如第七圖或



五、發明說明 (6)

第十二圖所示之梯形，於採用其他技術或方式時，製作之閘極亦可為如矩形等其他可能之形狀。

請參考第十三圖，係本發明顯示裝置之正視圖，其中，閘極2與掃描線17連接，源電極7a與訊號線18連接，汲電極7b與像素電極11連接。閘極2接受掃描線17傳送之掃描訊號而為開或關之動作，源電極7a接受訊號線18傳送之數據訊號並通過汲電極7b施加訊號於像素電極11上，像素電極11通過存儲電容(未標示)保持此電位直至閘極2下一次開啟。

請參考第十四圖，係本發明顯示裝置之截面圖，保護層19形成於薄膜電晶體上，像素電極11形成於保護層19及汲電極7b上，存儲電容10位於像素電極11與掃描線17之間，即掃描線17與像素電極11之間之閘極絕緣層4及保護層19構成之平板電容作為存儲電容10，濾光片14及黑矩陣15形成於基板16上，公共電極13形成於濾光片14及黑矩陣15上，液晶層12位於像素電極11與公共電極13之間，其顯示效果由像素電極11之電位決定，因此其開關受薄膜電晶體之驅動。

綜上所述，本發明符合發明專利要件，爰依法提出專利申請。惟，以上所述者僅為本發明之較佳實施例，舉凡熟悉本案技藝之人士，在援依本案發明精神所作之等效修飾或變化，皆應包含於以下之申請專利範圍內。



圖式簡單說明

第一圖係習知薄膜電晶體之截面圖。

第二圖至第七圖係製造本發明薄膜電晶體之閘極製造之流程圖。

第八圖至第十一圖係製造本發明薄膜電晶體之後段製造之流程圖。

第十二圖係本發明薄膜電晶體之截面圖。

第十三圖係本發明顯示裝置之正視圖。

第十四圖係本發明顯示裝置之截面圖。

【主要元件符號說明】

基底	1	像素電極	11
液晶層	12	公共電極	13
濾光片	14	黑矩陣	15
基板	16	掃描線	17
訊號線	18	保護層	19
閘極	2	金屬層	3
閘極絕緣層	4	通道層	5
摻磷非晶矽層	6	源極歐姆層	6a
汲極歐姆層	6b	SD金屬層	7
源電極	7a	汲電極	7b
光阻膜	8	非晶矽層	9



六、申請專利範圍

1. 一種薄膜電晶體，其包括：
 - 一基底；
 - 一形成於基底中之閘極；
 - 一形成於基底及閘極上之閘極絕緣層；
 - 一形成於閘極絕緣層上之通道層；
 - 分立形成於通道層之二側上之源極歐姆層及汲極歐姆層；
 - 一形成於源極歐姆層及基底上之源電極；
 - 一形成於汲極歐姆層及基底上之汲電極。
2. 如申請專利範圍第1項所述之薄膜電晶體，其中閘極之表面與基底表面相平。
3. 如申請專利範圍第1項所述之薄膜電晶體，其中閘極採用金屬材料。
4. 如申請專利範圍第3項所述之薄膜電晶體，其中閘極為銅、鋁、鈦、鉬、鉻、鈹、鉭或其合金。
5. 如申請專利範圍第1項所述之薄膜電晶體，其中閘極截面為梯形。
6. 如申請專利範圍第1項所述之薄膜電晶體，其中閘極截面為矩形。
7. 如申請專利範圍第1項所述之薄膜電晶體，其中基底材料為玻璃或二氧化矽。
8. 如申請專利範圍第1項所述之薄膜電晶體，其中閘極絕緣層材料為氮化矽或二氧化矽。
9. 如申請專利範圍第1項所述之薄膜電晶體，其中通道



六、申請專利範圍

層材料為非晶矽或多晶矽。

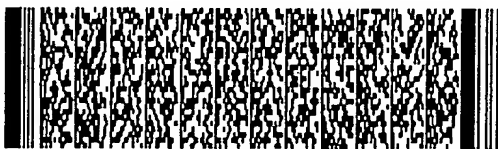
10. 如申請專利範圍第1項所述之薄膜電晶體，其中歐姆層係通過對構成通道層之非晶矽或多晶矽進行摻雜形成。
11. 一種顯示裝置，其包括複數個薄膜電晶體用以控制驅動顯示材料訊號之開關，該薄膜電晶體包括：
 - 一基底；
 - 一形成於基底中之閘極；
 - 一形成於基底及閘極上之閘極絕緣層；
 - 一形成於閘極絕緣層上之通道層；
 - 分立形成於通道層之二側上之源極歐姆層及汲極歐姆層；
 - 一形成於源極歐姆層及基底上之源電極；
 - 一形成於汲極歐姆層及基底上之汲電極。
12. 如申請專利範圍第11項所述之顯示裝置，其中顯示材料為液晶。
13. 一種薄膜電晶體製造方法，包括：
 - 一次光罩製程形成位於基底中之閘極；
 - 形成閘極絕緣層、非晶矽層、摻磷非晶矽層；
 - 去除非晶矽層及摻磷非晶矽層之二側區域；
 - 形成SD金屬層；
 - 去除SD金屬層之中央區域；
 - 去除非晶矽層之中央區域，形成源極歐姆層及汲極歐姆層及通道層。

六、申請專利範圍

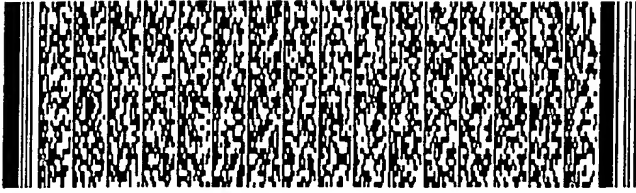
14. 如申請專利範圍第13項所述之薄膜電晶體製造方法，其中形成閘極絕緣層、非晶矽層、摻磷非晶矽層之方法為沈積。
15. 如申請專利範圍第13項所述之薄膜電晶體製造方法，其中去除非晶矽層及摻磷非晶矽層之二側區域之方法為光罩及蝕刻。
16. 如申請專利範圍第13項所述之薄膜電晶體製造方法，其中形成SD金屬層之方法為沈積。
17. 如申請專利範圍第13項所述之薄膜電晶體製造方法，其中去除去除SD金屬層之中央區域之方法為光罩及蝕刻。
18. 如申請專利範圍第13項所述之薄膜電晶體製造方法，其中去除非晶矽層之中央區域，形成源極歐姆層及汲極歐姆層及通道層之方法為乾蝕刻。
19. 如申請專利範圍第13項所述之薄膜電晶體製造方法，其中形成閘極之一次光罩製程包括：
於基底上形成均勻光阻薄膜；
形成閘極圖案；
於基底上形成溝槽；
沈積金屬於溝槽中；
形成閘極。
20. 如申請專利範圍第19項所述之薄膜電晶體製造方法，其中一次光罩製程中於基底上形成均勻光阻薄膜之方法為塗覆及烘烤。

六、申請專利範圍

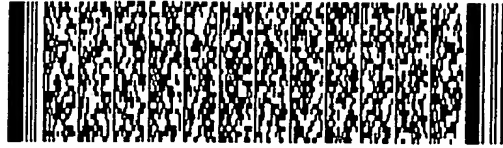
21. 如申請專利範圍第19項所述之薄膜電晶體製造方法，其中一次光罩製程中於基底上形成閘極圖案之方法為光罩投影。
22. 如申請專利範圍第19項所述之薄膜電晶體製造方法，其中一次光罩製程中於基底上形成溝槽之方法為蝕刻。
23. 如申請專利範圍第19項所述之薄膜電晶體製造方法，其中一次光罩製程中於基底上形成閘極之方法為對基底及其上沈積之金屬作平坦化處理。



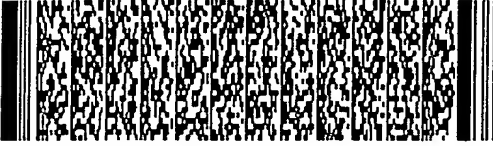
第 1/17 頁



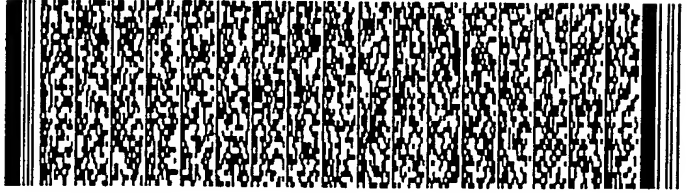
第 2/17 頁



第 3/17 頁



第 4/17 頁



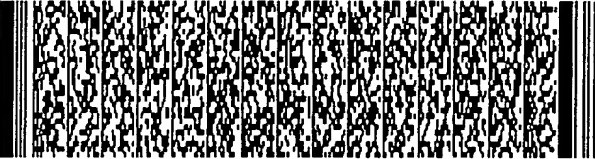
第 5/17 頁



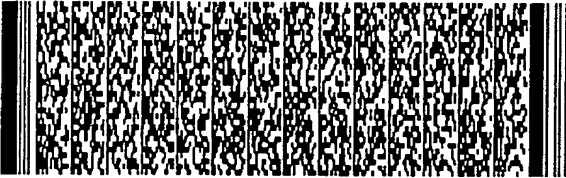
第 6/17 頁



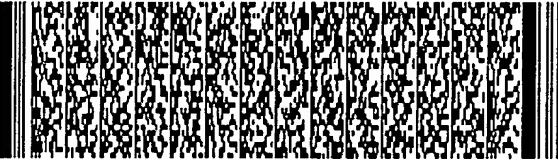
第 7/17 頁



第 7/17 頁



第 8/17 頁



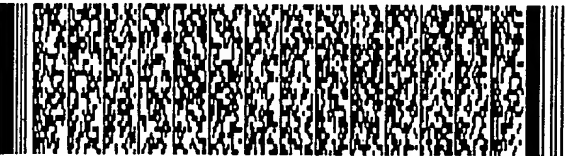
第 8/17 頁



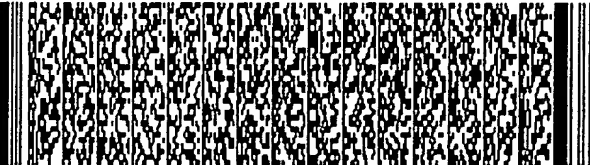
第 9/17 頁



第 9/17 頁



第 10/17 頁



第 10/17 頁



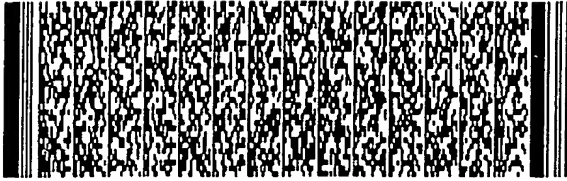
第 11/17 頁



第 11/17 頁



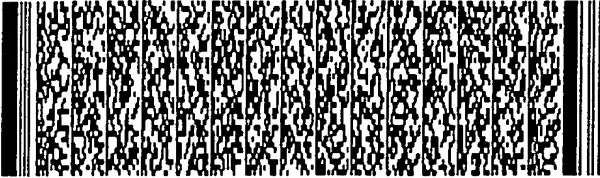
第 12/17 頁



第 12/17 頁



第 13/17 頁



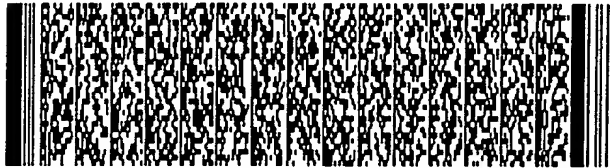
第 14/17 頁



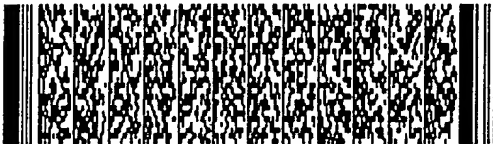
第 15/17 頁

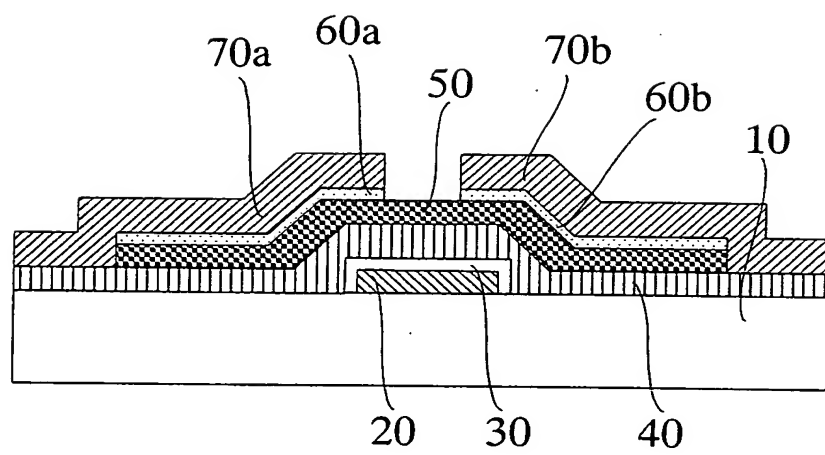


第 16/17 頁

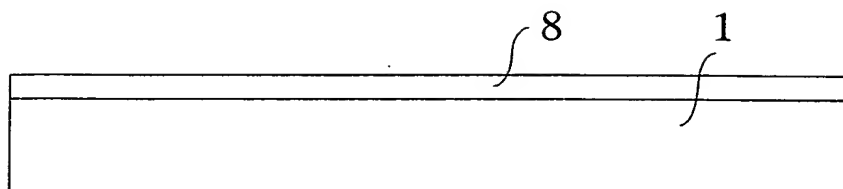


第 17/17 頁

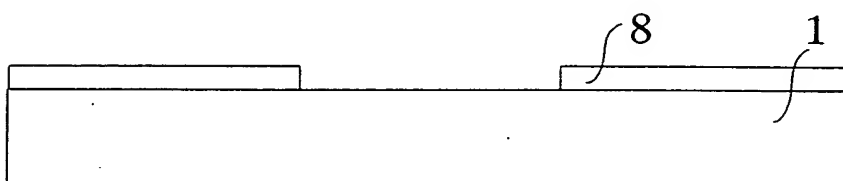




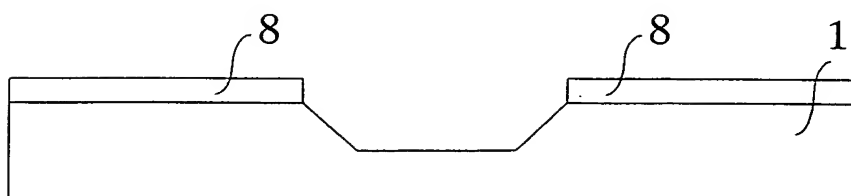
第一圖



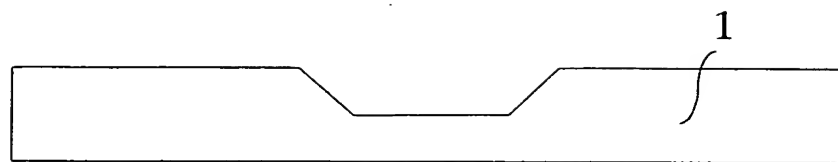
第二圖



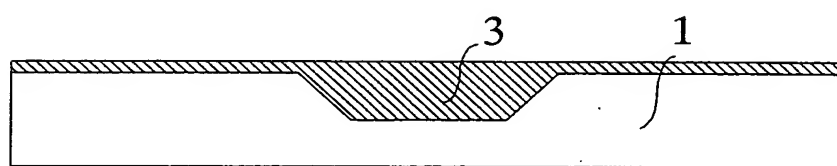
第三圖



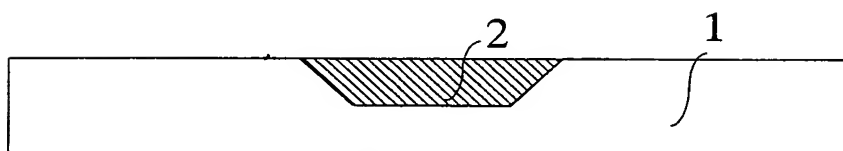
第四圖



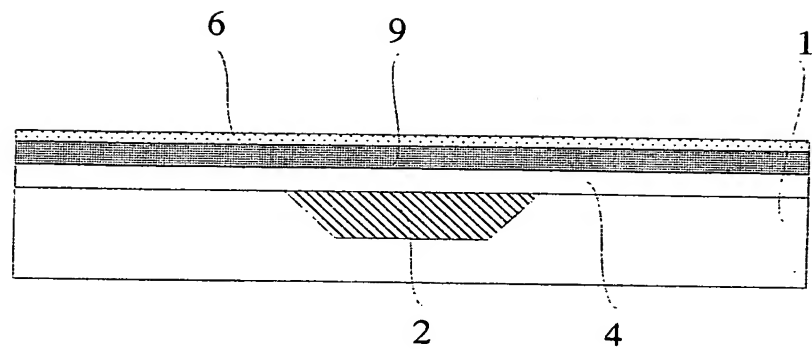
第五圖



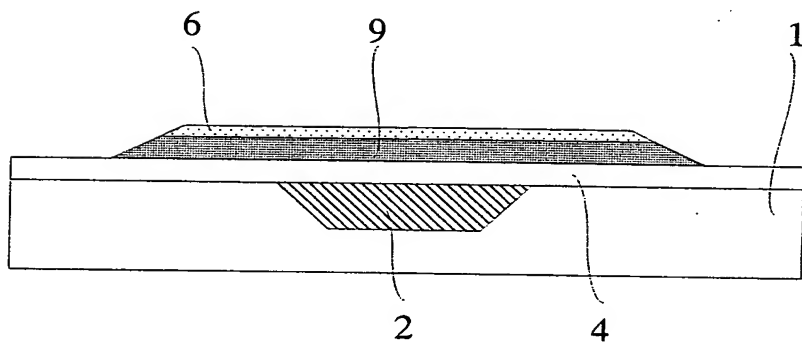
第六圖



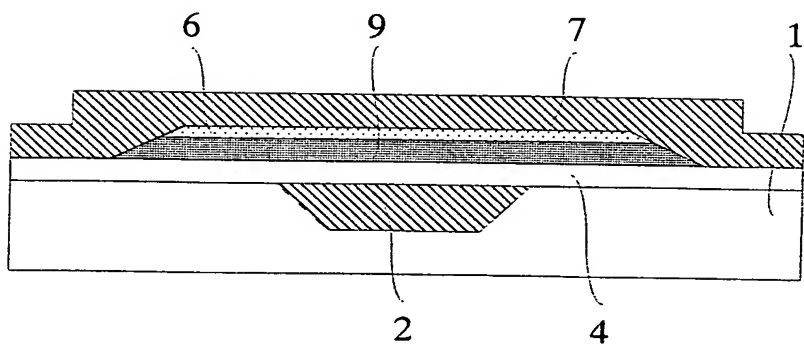
第七圖



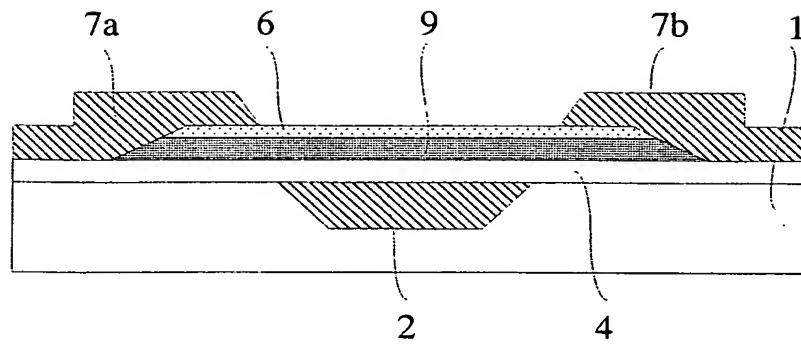
第八圖



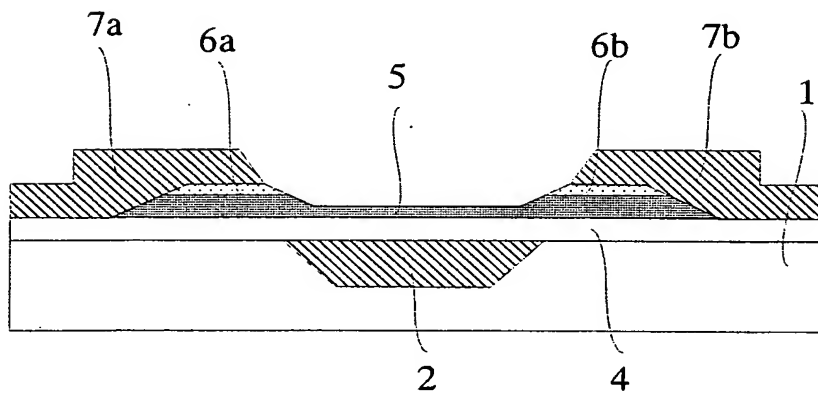
第九圖



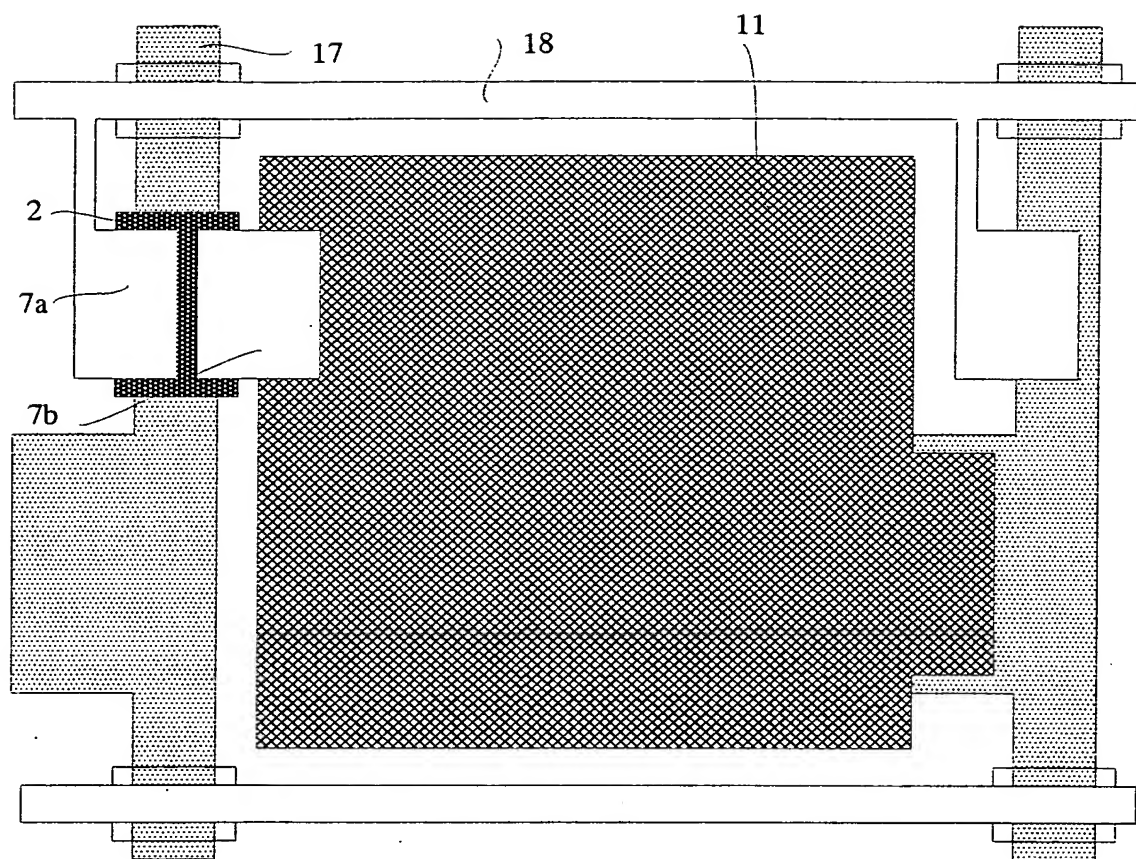
第十圖



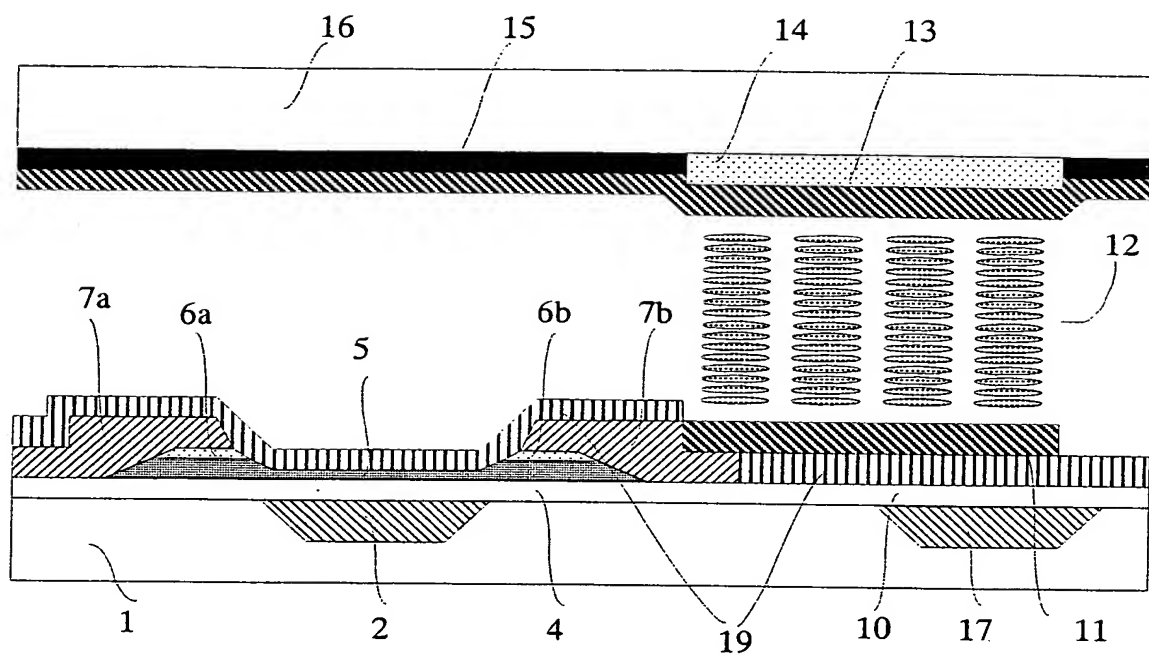
第十一圖



第十二圖



第十三圖



第十四圖